



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원 번호 : 10-2002-0044216
Application Number

출원 년 월 일 : 2002년 07월 26일
Date of Application JUL 26, 2002

출원인 : 삼성전자주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003 년 07 월 02 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0001
【제출일자】	2002.07.26
【발명의 명칭】	외부 전압 글리치에 안정적인 내부 전압 발생 회로
【발명의 영문명칭】	Power glitch free internal voltage generation circuit
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	임창현
【대리인코드】	9-1998-000386-5
【포괄위임등록번호】	1999-007368-2
【대리인】	
【성명】	권혁수
【대리인코드】	9-1999-000370-4
【포괄위임등록번호】	1999-056971-6
【발명자】	
【성명의 국문표기】	조성희
【성명의 영문표기】	CHO, SUNG HEE
【주민등록번호】	640907-1042617
【우편번호】	449-840
【주소】	경기도 용인시 수지읍 성북리 90번지 성동마을 LG빌리지 2 차 203동 1 104호
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 임창현 (인) 대리인 권혁수 (인)
【수수료】	
【기본출원료】	18 면 29,000 원
【가산출원료】	0 면 0 원

【우선권 주장료】	0	건	0	원
【심사청구료】	6	항	301,000	원
【합계】	330,000		원	
【첨부서류】	1.	요약서·명세서(도면)_1통		

【요약서】**【요약】**

외부 전압 글리치에 안정적인 내부 전압 발생 회로가 개시된다. 본 발명의 내부 전압 발생 회로는 내부 전압 레벨을 분배하는 전압 분배부와, 외부 전압 레벨을 분배하여 소정의 전압 레벨을 갖는 기준 전압을 발생하는 기준 전압 발생부와, 외부 전압과 내부 전압에 연결되고 기준 전압과 분배된 내부 전압을 비교하여 그 출력을 발생하는 비교부와, 그리고 비교부의 출력에 응답하여 외부 전압을 내부 전압으로 공급하는 드라이버부를 포함한다. 따라서, 본 발명의 내부 전압 발생 회로에 의하면, 외부 전압과 내부 전압 중 높은 쪽의 전압 레벨을 비교부의 전원으로 사용하여 외부 전압이 내부 전압 보다 낮아지는 글리치가 발생하더라도 외부 전압을 내부 전압으로 전달하는 드라이버부가 차단되기 때문에, 내부 전압은 안정적으로 유지된다.

【대표도】

도 6

【색인어】

내부 전압 발생 회로, 외부 전압, 내부 전압, 글리치, 비교부, 드라이버부

【명세서】**【발명의 명칭】**

외부 전압 글리치에 안정적인 내부 전압 발생 회로{Power glitch free internal voltage generation circuit}

【도면의 간단한 설명】

도 1은 일반적인 내부 전압 발생 회로를 나타내는 도면이다.

도 2는 기준 전압 발생 회로를 나타내는 도면이다.

도 3은 종래의 비교부를 나타내는 도면이다.

도 4는 도 1의 내부 전압 발생 회로의 동작 그래프를 나타내는 도면이다.

도 5a 및 도 5b는 외부 전압 글리치가 발생했을 때 도 1의 내부 전압 발생 회로의 동작 파형을 나타내는 도면이다.

도 6은 본 발명의 일실시예에 따른 내부 전압 발생 회로를 나타내는 도면이다.

도 7은 본 발명의 일실시예에 따른 비교부를 나타내는 도면이다.

도 8a 및 도 8b는 외부 전압 글리치가 발생했을 때 도 6의 내부 전압 발생 회로의 동작 파형을 나타내는 도면이다.

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<9> 본 발명은 반도체 장치에 관한 것으로, 특히 외부 전압 글리치에 대하여 안정적으로 내부 전압을 발생하는 내부 전압 발생 회로에 관한 것이다.

<10> 저소비 전력을 만족하기 위하여, 고전압의 외부 전압을 소정 전압 강하시켜 저전압의 내부 전압을 발생시킨 후 이를 반도체 장치의 내부 전압으로 사용한다. 도 1은 일반적인 내부 전압 발생 회로를 나타내는 도면이다. 이를 참조하면, 내부 전압 발생 회로(100)는 기준 전압 발생부(110), 비교부(120), 드라이버부(130), 전압 분배부(140), 그리고 커패시터(150)로 구성된다. 기준 전압 발생부(110)는 도 2에 구체적으로 도시되어 있으며, 외부 전압(EXT_VDD)을 전압 분배하여 기준 전압(VREF)을 발생한다. 비교부(120)는 기준 전압(VREF)과 전압 분배부(140)에서 제공되는 분배된 내부 전압(DIV_IVC)을 비교하여 그 출력으로 드라이버부(130)를 구동한다. 구체적으로, 비교부(120)는 도 3에 도시된 바와 같이 차동 증폭기로 구성되는 데, 외부 전압(EXT_VDD)에 연결되어 분배된 내부 전압(DIV_IVC)과 기준 전압(VREF)을 비교한다. 분배된 내부 전압(DIV_IVC)은 전압 분배부(140) 내 저항들(R11, R12)에 의해 내부 전압(IVC)을 분배시켜 발생된다. 분배된 내부 전압(DIV_IVC)이 기준 전압(VREF) 보다 낮으면 비교부(120)의 출력(DA_OUT)은 로우레벨이 되고, 분배된 내부 전압(DIV_IVC)이 기준 전압(VREF) 보다 높으면 비교부(120)의 출력(DA_OUT)은 하이레벨이 된다.

<11> 다시, 도 1의 드라이버부(130)는 백바이어스 전압이 외부 전압(EXT_VDD)에 연결되는 피모스 트랜지스터(MP11)로 구성되며, 비교부(120)의 출력(DA_OUT)에 응답하여 외부 전압(EXT_VDD)을 내부 전압(IVC)으로 공급한다. 비교부(120)의 출력(DA_OUT)이 로우레벨이면 피모스 트랜지스터(MP11)가 턴온되어 외부 전압(EXT_VDD)의 전압 레벨대로 내부 전압(IVC)이 발생된다. 비교부(120)의 출력(DA_OUT)이 하이레벨이면 피모스 트랜지스터(MP11)가 턴오프되어 외부 전압(EXT_VDD)은 내부 전압(IVC)으로 공급되지 않는다. 이 때, 커패시터(150)에 차아지된 전압 레벨로 내부 전압(IVC)의 레벨이 유지된다.

<12> 이러한 내부 전압 발생 회로(100)의 동작 그래프를 살펴보면 도 4와 같다. 도 4를 참조하면, 높아지는 외부 전압(EXT_VDD) 레벨을 따라 내부 전압(IVC)이 발생하는 데, 이는 로우레벨의 비교부(120) 출력(DA_OUT)에 응답하여 드라이빙부(130)의 피모스 트랜지스터(MP11)가 턴온되었기 때문이다. 이 후, 외부 전압(EXT_VDD)이 일정 전압 레벨 이상이 되면 내부 전압(IVC)은 일정 전압 레벨을 유지하는 데, 이는 하이레벨의 비교부(120) 출력(DA_OUT)에 응답하여 드라이빙부(130)의 피모스 트랜지스터(MP11)가 턴오프되었기 때문이다.

<13> 그런데, 이러한 내부 전압 발생 회로(100)는 외부 전압(EXT_VDD)의 전압 레벨이 변동되어 순간적으로 글리치(glitch)가 발생하면 이에 따라 내부 전압(IVC)의 전압 레벨도 따라서 변동되는 문제점이 있다. 이는 도 5a 및 도 5b를 참조하여 설명한다, 도 5a는 외부 전압(EXT_VDD)의 글리치가 정상적인 전압 레벨보다 높게 발생된 경우를 나타내는 데, 이 때 발생하는 내부 전압(IVC)의 전압 레벨은 안정적으로 일정 전압 레벨을 유지한다. 그러나, 도 5b를 살펴보면 외부 전압(EXT_VDD)의 글리치가 정상적인 전압 레벨보다 낮게 발생된 경우를 나타내는 데, 예컨대 외부 전압(EXT_VDD)의 전압 레벨이 내부 전압(IVC)의 전압 레벨에서 피모스 트랜지스터(MP11)의 문턱 전압(V_t) 만큼 더 낮아진 전압 레벨($IVC - V_t(MP11)$)이 되면 드라이버부(130)의 피모스 트랜지스터(MP11)가 턴온된다. 턴온된 피모스 트랜지스터(MP11)를 통해 발생하는 내부 전압(IVC)은 외부 전압(EXT_VDD)의 글리치를 따라서 소정 전압 강하되어 전압 레벨이 변동된다. 변동된 내부 전압은 반도체 장치의 오동작을 유발하는 요인이 된다.

<14> 따라서, 외부 전압의 글리치에 대하여 안정적인 전압 레벨을 갖는 내부 전압 발생 회로가 요구된다.

【발명이 이루고자 하는 기술적 과제】

- <15> 본 발명의 목적은 외부 전압의 글리치에 대하여 안정적인 내부 전압 레벨을 갖는 내부 전압 발생 회로를 제공하는 데 있다.

【발명의 구성 및 작용】

- <16> 상기 목적을 달성하기 위하여, 본 발명의 내부 전압 발생 회로는 내부 전압 레벨을 분배하는 전압 분배부와, 외부 전압 레벨을 분배하여 소정의 전압 레벨을 갖는 기준 전압을 발생하는 기준 전압 발생부와, 외부 전압과 내부 전압에 연결되고 기준 전압과 분배된 내부 전압을 비교하여 그 출력을 발생하는 비교부와, 그리고 비교부의 출력에 응답하여 외부 전압을 내부 전압으로 공급하는 드라이버부를 포함한다.
- <17> 구체적으로, 전압 분배부는 내부 전압과 접지 전압 사이에 직렬 연결되는 저항들로 구성된다. 비교부는 외부 전압에 그 소스가 연결되는 다이오드형의 제1 엔모스 트랜지스터와, 내부 전압에 그 소스가 연결되는 다이오드형의 제2 엔모스 트랜지스터와, 제1 및 제2 트랜지스터의 드레인에 그 소스가 연결되고 그 게이트와 그 드레인이 연결되는 제1 피모스 트랜지스터와, 제1 및 제2 트랜지스터의 드레인에 그 소스가 연결되고 그 게이트에 제1 피모스 트랜지스터의 게이트가 연결되는 제2 피모스 트랜지스터와, 제1 및 제2 피모스 트랜지스터의 드레인에 각각 연결되고 분할된 내부 전압 및 기준 전압에 각각 게이팅되는 제3 및 제4 엔모스 트랜지스터와, 그리고 제3 및 제4 엔모스 트랜지스터의 드레인들과 접지 전압 사이에 연결되고 비교부를 인에이블시키는 신호에 게이팅되는 제5 엔모스 트랜지스터를 포함한다. 드라이버부는 외부 전압이 그 소스에, 비교부의 출력이 그 게이트에, 내부 전압이 그 드레인에, 그리고 비교부의 제1 및 제2 엔모스 트랜지스터의 드레인이 백바이어스 전압으로 연결되는 피모스 트랜지스터로 구성된다.

<18> 따라서, 본 발명의 내부 전압 발생 회로에 의하면, 외부 전압과 내부 전압 중 높은 쪽의 전압 레벨을 비교부의 전원으로 사용하여 외부 전압이 내부 전압 보다 낮아지는 클리치가 발생하더라도 외부 전압을 내부 전압으로 전달하는 드라이버부가 차단되기 때문에, 내부 전압은 안정적으로 유지된다.

<19> 도 6은 본 발명의 일실시예에 따른 내부 전압 발생 회로를 나타내는 도면이다. 이를 참조하면, 내부 전압 발생 회로(600)는 도 1의 일반적인 내부 전압 발생 회로에서 비교부(120)와 드라이버부(620) 대신에 도 7의 비교부(610)와 백바이어스 전압이 비교부(610)의 노드 A에 연결되는 피모스 트랜지스터(MP11)로 구성되는 드라이버부(620)를 사용하여 내부 전압을 안정적으로 발생시킨다.

<20> 도 7에서, 비교부(610)는 제1 내지 제5 엔모스 트랜지스터들(MN71, MN72, MN73, MN74, MN75)와 제1 및 제2 피모스 트랜지스터들(MP71, MP72)을 포함한다. 제1 엔모스 트랜지스터(MN71)는 외부 전압(EXT_VDD)에 그 소스가 연결되는 다이오드형의 트랜지스터이고, 제2 엔모스 트랜지스터(MN72)는 내부 전압(IVC)에 그 소스가 연결되는 다이오드형의 트랜지스터이다. 제1 및 제2 엔모스 트랜지스터(MN71, MN72)의 드레인은 노드 A에 서로 연결된다. 제1 및 제2 엔모스 트랜지스터(MN71, MN72)는 문턱 전압(V_{th})이 0V에 가까운 네이티브(native) 트랜지스터를 사용한다. 제1 피모스 트랜지스터(MP71)는 노드 A에 그 소스 및 벌크(bulk)가 연결되고 그 드레인은 그 게이트와 연결된다. 제2 피모스 트랜지스터(MP2)는 노드 A에 그 소스 및 벌크(bulk)가 연결되고 그 게이트는 제1 피모스 트랜지스터(MP1)의 게이트와 연결된다. 제3 및 제4 엔모스 트랜지스터(MN73, MN74)는 그 소스들이 제1 및 제2 피모스 트랜지스터(MP71, MP72)의 드레인에 각각 연결되고 그 게이트들은 분할된 내부 전압(DIV_IVC) 및 기준 전압(VREF)에 각각 연결된다. 제5 엔모스 트랜

지스터(MN75)는 제3 및 제4 엔모스 트랜지스터(MN73, MN74)의 드레인들과 접지 전압 사이에 연결되고 그 게이트는 비교부 인에이블 신호(EN)에 연결된다.

<21> 이러한 비교부(610)는 다음과 같이 동작된다. 먼저, 정상적인 경우로써 외부 전압(EXT_VDD)이 내부 전압(IVC)보다 높을 때, 노드 A는 외부 전압(EXT_VDD)의 전압 레벨을 갖는다. 이 후, 비교부(610)는 분배된 내부 전압(DIV_IVC)과 기준 전압(VREF)의 레벨 차이를 비교하여 비교부(610) 출력(DA_OUT)을 발생한다. 예컨대, 분배된 내부 전압(DIV_IVC)이 기준 전압(VREF) 보다 낮으면 출력(DA_OUT)은 로우레벨이 되고, 분배된 내부 전압(DIV_IVC)이 기준 전압(VREF) 보다 높으면 출력(DA_OUT)은 하이레벨이 된다. 접지 전압 레벨의 로우레벨 출력(DA_OUT)에 응답하여 도 1의 드라이버부(130)를 구동하여 외부 전압(EXT_VDD)을 내부 전압(IVC)으로 공급하는 데, 이는 내부 회로블락들의 구동으로 인해 낮아진 내부 전압(IVC)의 전압 레벨을 보충하게 된다. (EXT_VDD) 전압 레벨의 하이레벨 출력(DA_OUT)은 드라이버부(130)의 피모스 트랜지스터(MP11)를 턴오프시키기 때문에 내부 전압(IVC)는 이전 레벨을 유지하게 된다. 이는 내부 전압(IVC)의 레벨이 일정하게 유지되고 있음을 의미한다.

<22> 다음으로, 비정상적인 경우의 첫번째 경우로써 외부 전압이 순간적으로 정상적인 전압 레벨보다 높은 레벨의 클리치가 발생한 경우에는 외부 전압이 정상적인 경우와 동일하게 동작한다. 이는 도 8a에 도시된 바와 같이, 비교부(610)의 출력(DA_OUT)에 응답하여 안정적으로 내부 전압이 발생된다.

<23> 비정상적인 경우의 두번째 경우로써 외부 전압이 내부 전압 보다 낮을 때 즉, 외부 전압이 순간적으로 내부 전압 보다 낮은 레벨의 클리치가 발생한 경우에는 노드 A의 전압 레벨은 내부 전압(IVC) 레벨이 된다. 비교부(610)의 출력(DA_OUT) 전압 레벨이 내부

전압(IVC) 레벨인 하이레벨이면, 드라이버부(130)의 피모스 트랜지스터(MP11)의 게이트에는 내부 전압(IVC) 전압이, 소스에는 내부 전압(IVC)보다 낮은 전압 레벨의 외부 전압(EXT_VDD)이, 그리고 드레인에는 내부 전압(IVC)이 연결되어 피모스 트랜지스터(MP11)는 턴오프 상태에 있다. 이에 따라 외부 전압이 순간적으로 내부 전압 보다 낮은 레벨의 글리치가 발생하더라도 내부 전압(IVC)으로 전달되지 않기 때문에, 내부 전압은 안정적인 레벨을 유지한다. 이는 도 8b에 도시되어 있다.

<24> 한편, 비교부(610)의 출력(DA_OUT) 전압 레벨이 접지 전압 레벨이 되는 로우레벨은 발생하지 않는다. 왜냐하면, 내부 전압(IVC)이 외부 전압(EXT_VDD) 보다 높기 때문에 분배된 내부 전압(DIV_IVC) 레벨이 기준 전압(VREF) 보다 낮아지는 경우 발생되지 않아 비교부(610)의 출력(DA_OUT)은 로우레벨이 되지 않는다.

<25> 따라서, 본 발명의 내부 전압 발생 회로에 의하면, 외부 전압이 순간적으로 내부 전압 보다 낮아지는 글리치가 발생하더라도 내부 전압으로 전달되지 않는다. 그리하여, 내부 전압은 안정된 전압 레벨을 갖는다.

<26> 이상에서, 본 발명은 실시예들을 들어 기술하였지만 이는 예시적인 것에 불과하며 본 발명의 기술적 사상 및 범위를 제한하거나 한정하는 것은 아니다. 그러므로, 본 발명의 기술적 사상 및 범위를 벗어나지 않는 한도 내에서 다양한 변화 및 변경이 가능함은 물론이다.

【발명의 효과】

<27> 상술한 본 발명의 내부 전압 발생 회로에 의하면, 외부 전압과 내부 전압 중 높은 쪽의 전압 레벨을 비교부의 전원으로 사용한다. 이에 따라 외부 전압이 내부 전압 보다

낮아지는 클리치가 발생하더라도 외부 전압을 내부 전압으로 전달하는 드라이버부가 차단되기 때문에, 내부 전압은 안정적으로 유지된다.

【특허청구범위】**【청구항 1】**

내부 전압 레벨을 분배하는 전압 분배부;

외부 전압과 상기 내부 전압에 연결되고, 기준 전압과 상기 전압 분배부에 의해 분배된 내부 전압을 비교하여 그 출력을 발생하는 비교부; 및

상기 비교부의 출력에 응답하여 상기 외부 전압을 상기 내부 전압으로 공급하는 드라이버부를 구비하는 것을 특징으로 하는 내부 전압 발생 회로.

【청구항 2】

제1항에 있어서, 상기 전압 분배부는

상기 내부 전압과 접지 전압 사이에 직렬 연결되는 저항들로 구성되는 것을 특징으로 하는 내부 전압 발생 회로.

【청구항 3】

제1항에 있어서, 상기 내부 전압 발생 회로는

상기 외부 전압 레벨을 분배하여 소정의 전압 레벨을 갖는 상기 기준 전압을 발생하는 기준 전압 발생부를 더 구비하는 것을 특징으로 하는 내부 전압 발생 회로.

【청구항 4】

제1항에 있어서, 상기 비교부는

상기 외부 전압에 그 소스가 연결되는 다이오드형의 제1 엔모스 트랜지스터;

상기 내부 전압에 그 소스가 연결되는 다이오드형의 제2 엔모스 트랜지스터;

상기 제1 및 제2 엔모스 트랜지스터의 드레인에 그 소스 및 벌크가 연결되고 그 게이트와 그 드레인이 연결되는 제1 피모스 트랜지스터;

상기 제1 및 제2 엔모스 트랜지스터의 드레인에 그 소스 및 벌크가 연결되고 그 게이트에 상기 제1 피모스 트랜지스터의 게이트가 연결되는 제2 피모스 트랜지스터;

상기 제1 및 제2 피모스 트랜지스터의 드레인에 각각 연결되고 상기 분할된 내부 전압 및 상기 기준 전압에 각각 게이팅되는 제3 및 제4 엔모스 트랜지스터; 및

상기 제3 및 제4 엔모스 트랜지스터의 드레인들과 접지 전압 사이에 연결되고 상기 비교부를 인에이블시키는 신호에 게이팅되는 제5 엔모스 트랜지스터인 것을 특징으로 하는 내부 전압 발생 회로.

【청구항 5】

제4항에 있어서, 상기 드라이버부는

상기 외부 전압이 그 소스에, 상기 비교부의 출력이 그 게이트에, 상기 내부 전압이 그 드레인에, 그리고 상기 비교부의 상기 제1 및 제2 엔모스 트랜지스터의 드레인이 백바이어스 전압으로 연결되는 피모스 트랜지스터인 것을 특징으로 하는 내부 전압 발생 회로.

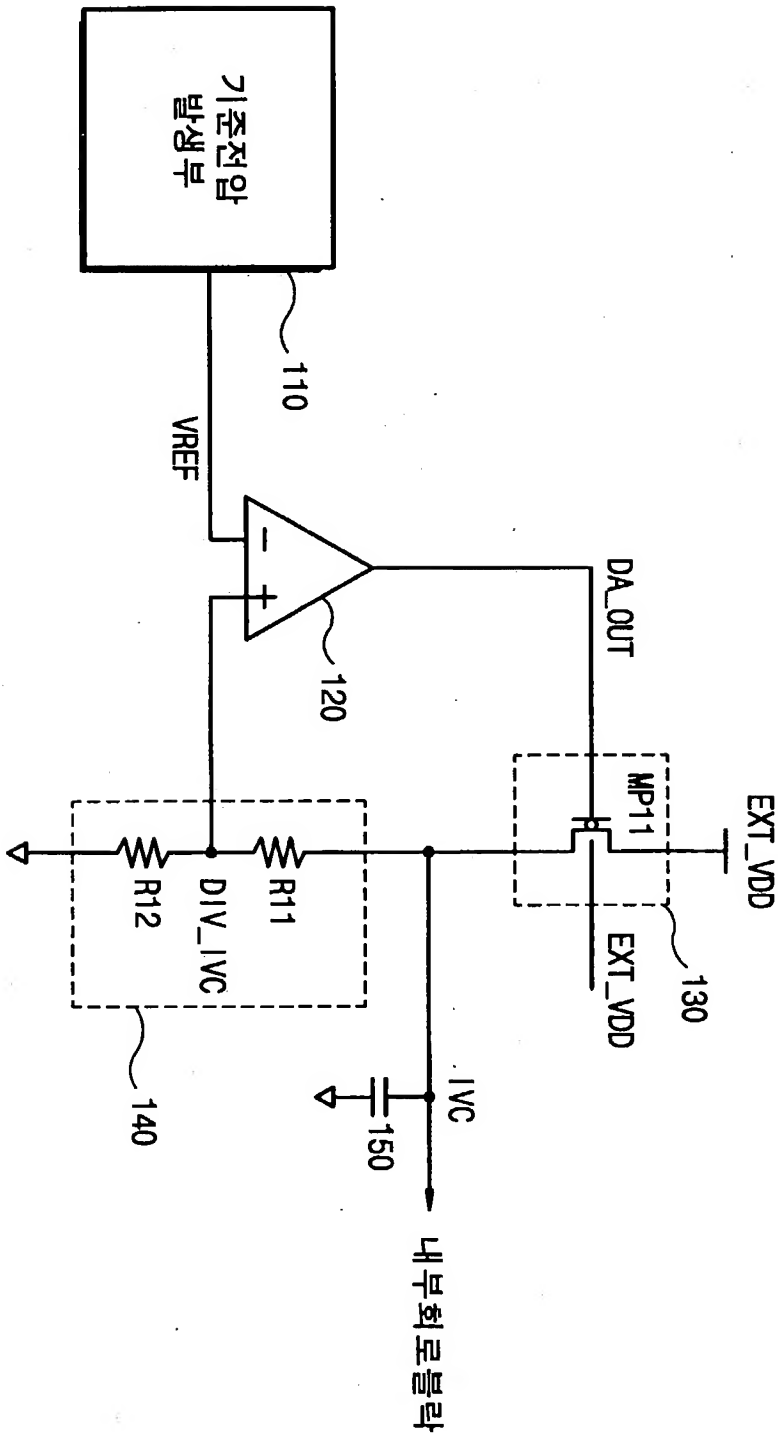
【청구항 6】

제4항에 있어서, 상기 제1 및 제2 엔모스 트랜지스터는

문턱 전압이 0V인 네이티브 트랜지스터인 것을 특징으로 하는 내부 전압 발생 회로

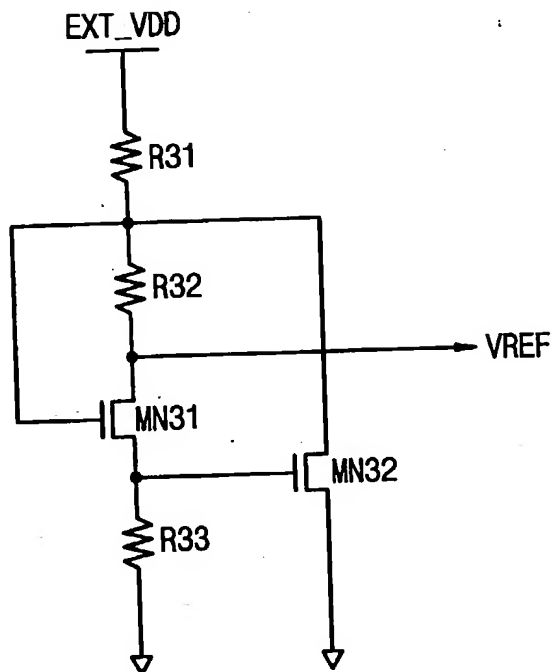
【도면】

【도 1】



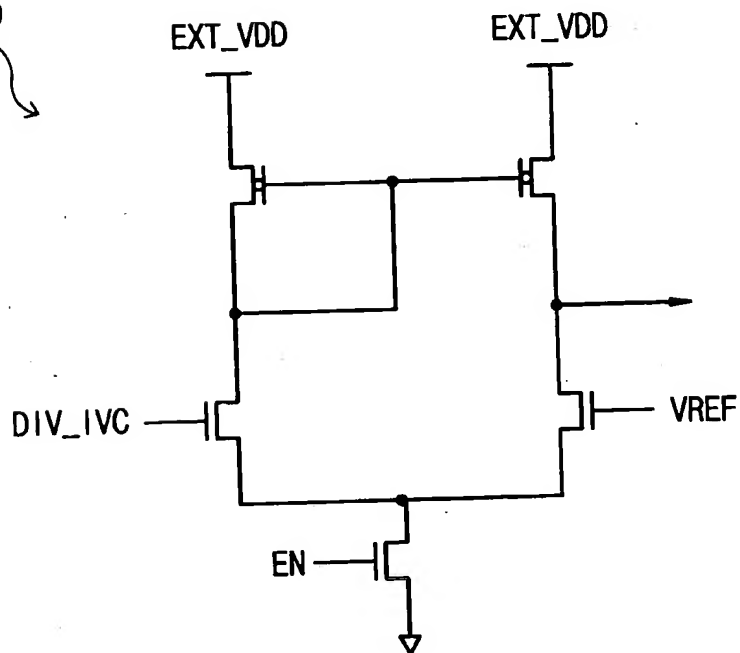
【도 2】

110

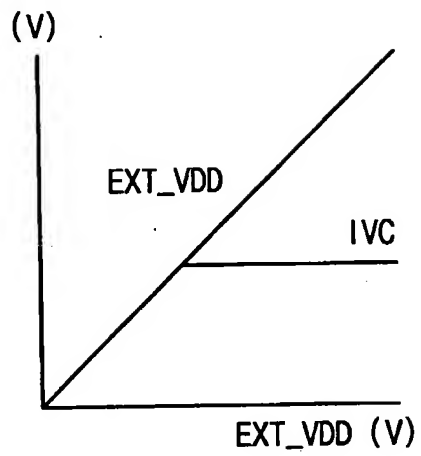


【도 3】

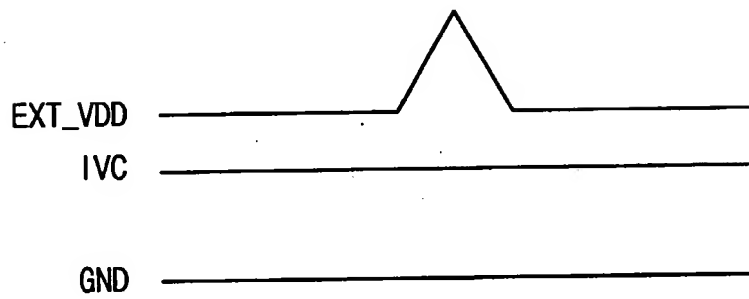
120



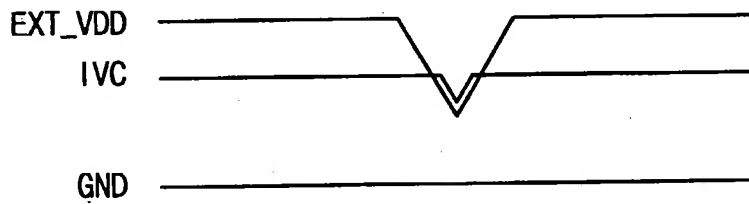
【도 4】



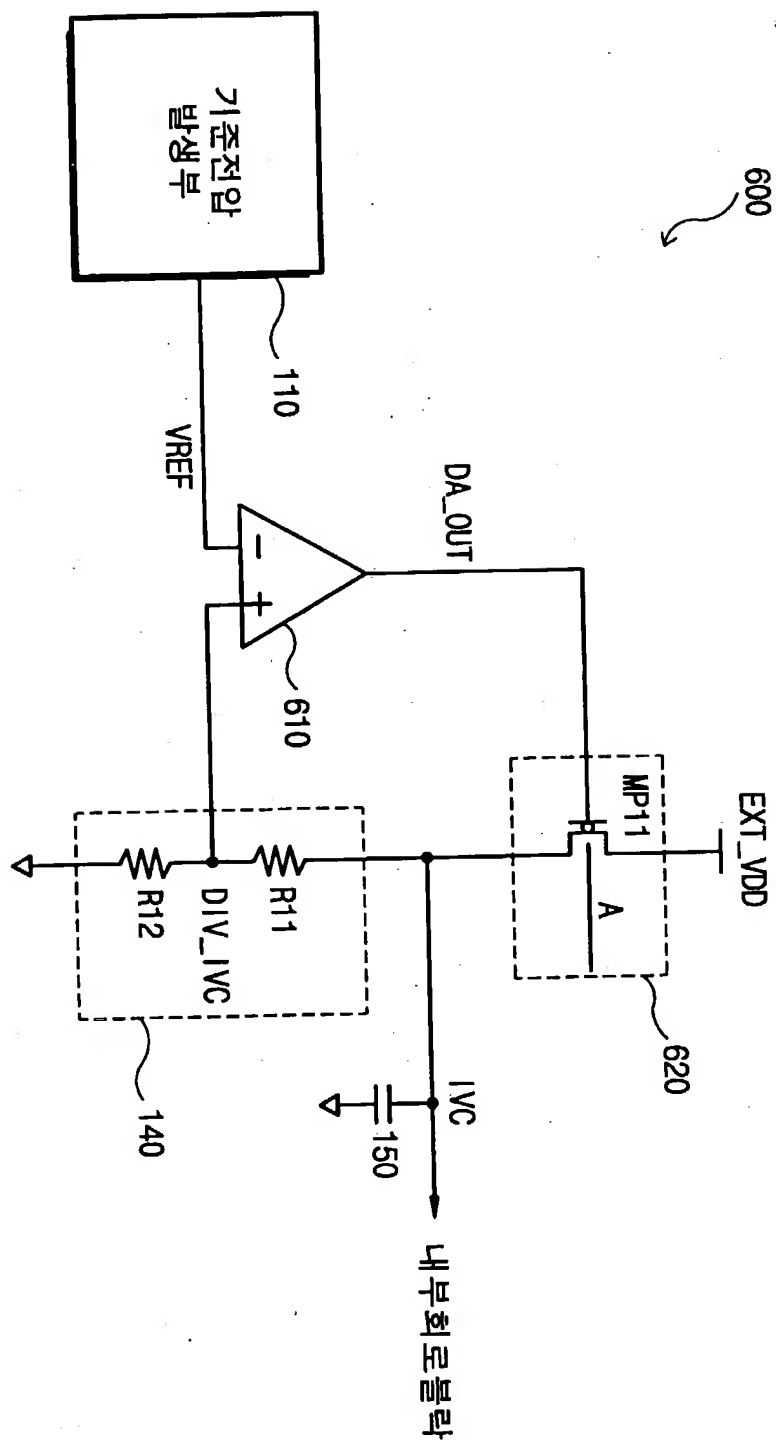
【도 5a】



【도 5b】

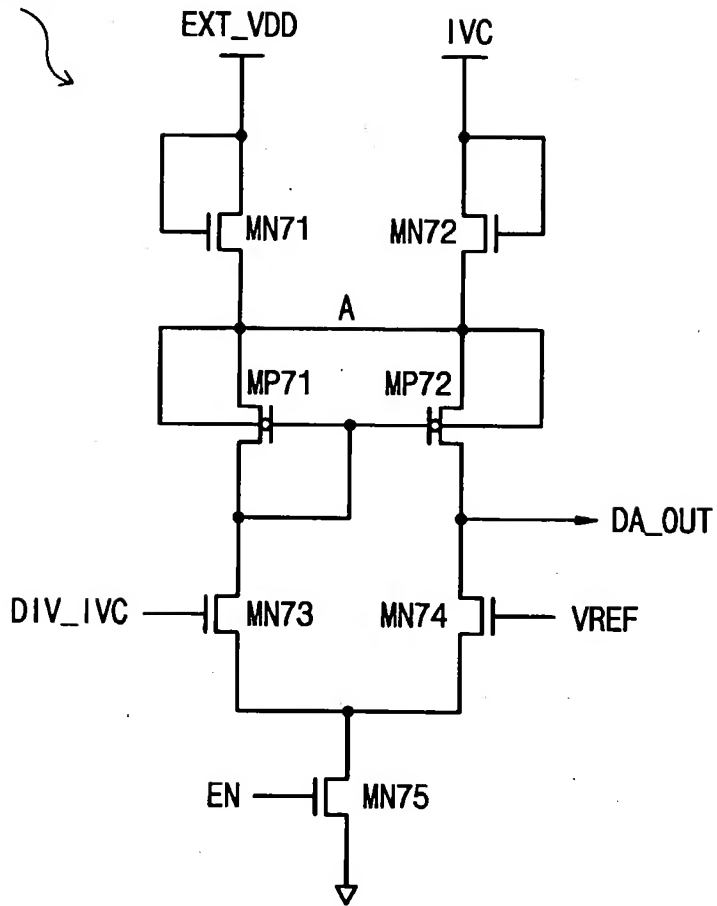


【도 6】

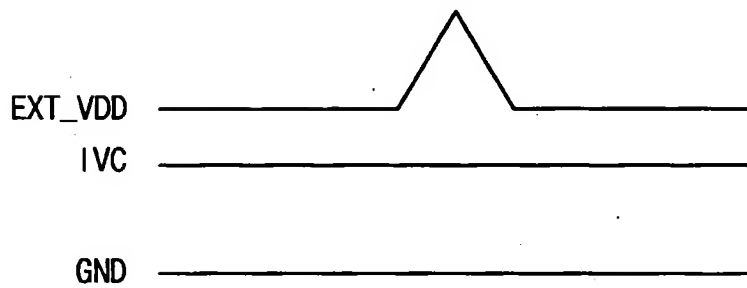


【도 7】

610



【도 8a】



【도 8b】

